VS1040 主要特性

- 通用可编程窄带电力线 modem
- 兼顾成本效益与设计灵活性
- 优化的 RISC/DSP 双核 SoC 架构
- 单芯片集成 PHY 层和 MAC 层
- 支持多种开放标准
- 支持定制化及 OpenCPU 模式

应用

- 智能电网

自动抄表、高级计量管理

- 智慧建筑

楼宇自动化、安防门禁

- 商业应用

智慧灯控、自动售货机、远程采集、能耗管理

- 工业应用

铁路断轨、铁路缺口、煤矿漏电保护、测井应用、光伏四可

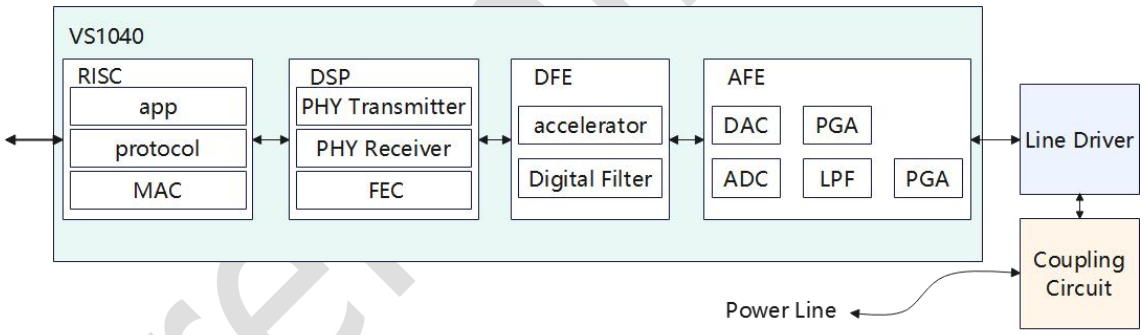


图 1： VS1040 框图

preliminary

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

目录

1. 概述
2. 引脚图与引脚说明
3. 功能描述
4. 电源、时钟和复位
5. 工作模式选项
6. 电气特性
7. 封装尺寸与订货信息
8. 联系我们

preliminary

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

1. 概述

VS1040 是一款高度可编程的窄带电力线通信（N-PLC）调制解调器，集成了 PHY 和 MAC，内置混合信号链组件，可实现最佳系统成本与性能。VS1040 优化了功耗和成本效率，采用专为 N-PLC 调制配置的 DSP 内核，并配备一个运行协议专用 32 位内核。凭借其灵活可编程性，VS1040 支持多种通信方案，并可适应特定应用通信方案及不断演进的标准。

VS1040 提供一系列固件选项，实现了符合 G3-PLC、PRIME、IEEE 1901.2 等标准的 PHY 和 MAC 层，以及自有标准和其他专为工业物联网应用定制的特殊模式。

专有增强的xFSK/xPSK/xOFDM私有库模式，可在恶劣条件下实现稳健通信，适用于不需要标准合规性的应用。VS1040 在 500 kHz 频带内可实现高达 500 Kbps 的数据速率。

VS1040 内置硬件加密单元，支持包括AES在内的安全通信。集成模拟前端包含 ADC、DAC、增益控制和硬件滤波器，可实现极其高效的系统设计，并降低物料清单（BOM）成本。

2. 引脚图与引脚说明

2.1 引脚分布

下图展示了 VS1040 UFQFPN-48(7x7) 无铅封装的引脚分布：

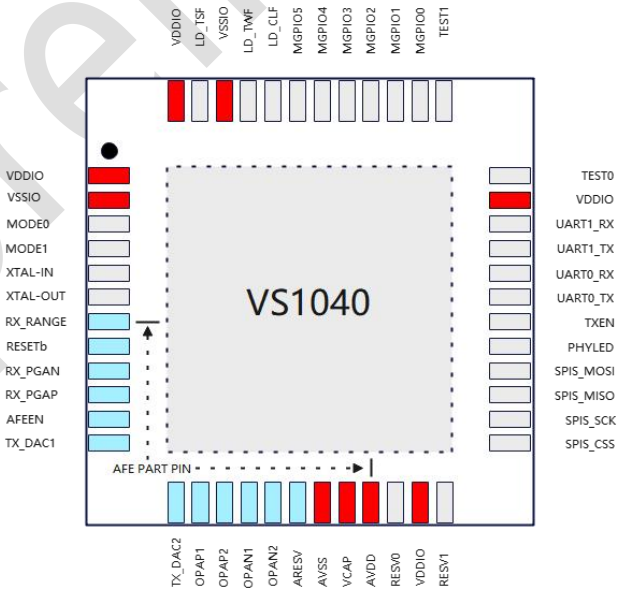


图 2：VS1040 封装引脚图

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

2.2 引脚描述

表 1：VS1040 管脚名称

管脚序号	管脚名称	管脚方向	管脚含义	管脚说明
1	VDDIO	P	数字电源输入	
2	VSSIO	P	数字电源地	
3	MODE0	I	BOOT 选项	工作模式选择
4	MODE1	I	BOOT 选项	
5	XTAL-IN	I	晶振输入	16MHZ
6	XTAL-OUT	O	晶振输出	
7	RESETb	I	复位	低电平有效
8	RX_RANGE	O	外部自动增益控制	信号有效时衰减 12 dB
9	RX_PGAP	I	载波接收输入	
10	RX_PGAN	I	载波接收输入	
11	AFEEN	O	外部 AFE 使能	
12	TX_DAC1	O	DAC 输出	
13	TX_DAC2	O	DAC 输出	
14	OPAP1	I	运放输入 P 端	
15	OPAP2	I	运放输入 P 端	
16	OPAN1	I	运放输入 N 端	
17	OPAN2	I	运放输入 N 端	
18	ARESV	NC	空脚	使用时悬空
19	AVSS	P	模拟电源地	
20	VCAP	P	AFE 模拟参考	
21	AVDD	P	模拟电源输入	
22	RESV0	NC	空脚	使用时悬空
23	VDDIO	P	数字电源输入	
24	RESV1	NC	空脚	使用时悬空
25	SPIS_CSS	O	SPI 从机接口选择	
26	SPIS_SCK	O	SPI 从机接口时钟	
27	SPIS_MISO	I	SPI 从机接口输入	
28	SPIS_MOSI	O	SPI 从机接口输出	
29	PHYLED	O	PHY 接收指示	检测到接收包时置高
30	TXEN	O	发送使能	
31	UART0_TX	O	串口发送	UART0 为 debug 端口
32	UART0_RX	I	串口接收	
33	UART1_TX	O	串口发送	UART1 为用户接口
34	UART1_RX	I	串口接收	

Preliminary

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

35	VDDIO	P	数字电源输入	
36	TEST0	IO	厂内测试管脚	使用时悬空
37	TEST1	IO	厂内测试管脚	
38	MGPIO0	IO	多功能 GPIO	MGPIOx 管脚可配置为：GPIO、UART、CANFD；
39	MGPIO1	IO	多功能 GPIO	
40	MGPIO2	IO	多功能 GPIO	
41	MGPIO3	IO	多功能 GPIO	
42	MGPIO4	IO	多功能 GPIO	
43	MGPIO5	IO	多功能 GPIO	
44	LD_CLF	I	驱动限流标志	外部线路驱动
45	LD_TWF	I	驱动热警告标志	外部线路驱动
46	VSSIO	P	数字电源地	
47	LD_TSF	I	驱动热关断标志	外部线路驱动
48	VDDIO	P	数字电源输入	
49	VPAD	P	电源散热焊盘	连接数字电源地

注 1：I 输入、O 输出、IO 输入输出、P 电源、NC 空脚/未定义 IO。
注 2：8-22 脚，AFE 模拟部分管脚。
注 3：EGPIO 功能由固件决定。

3. 功能描述

3.1 模拟前端 AFE

VS1040 集成了一个专门针对 N-PLC 通信优化的 AFE（模拟前端）。AFE集成了ADC、DAC、PGA（0dB~36dB）和OPA，可在外部最少BOM（物料清单）的情况下，实现最佳整体信号功耗。外部模拟电路元件包括线路驱动器和耦合电路，这些元件会因不同应用和不同工作频段而有所不同。为了实现最具成本效益的系统设计，AFE已内置了一个稳压参考源。为获得最佳性能，也可采用外部参考源。

3.2 数字前端 DFE

VS1040 内置的DFE（数字前端），专用于硬件加速，例如前导检测器、抽取与插值滤波器、单音消除器、FFT加速器和过零检测器，从而在不牺牲成本或功耗的情况下提供性能和灵活性。

3.3 DSP 核

DSP 内核实现了标准的 PHY 功能，支持各种 PLC 通信模式。它完全可编程，支持FSK、PSK和OFDM调制，也支持自定义其他 N-PLC PHY。可配置工作频段为9kHz~490 kHz，符合CENELEC与FCC规范。DSP 内核通常不开放给客户编程，通过使用不同的固件镜像，VS1040可以配置为在以下多种模式之一：

- xFSK-PLC-CENELEC A/B/C/D

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

- xPSK-PLC-FCC LowPart、xPSK-PLC-FCC
- xOFDM-PLC-CENELEC A、xOFDM-PLC-FCC
- G3-PLC-CENELEC A、G3-PLC-FCC
- PRIME
- IEEE1901.2
- 定制固件

不同固件支持不同的调制模式标准，意味着工作在不同频段和载波数量。VS1040借助其强大的运算处理能力，实现了针对电力线环境优化的调制解调引擎，允许对每个载波灵活配置。其中xFSK、xPSK和xOFDM为维塔半导体私有调制解调库，专为工业现场对可靠性和灵活性有特定要求的应用场景优化的电力线载波固件，鲁棒性高。对于特定标准的操作模式，配置由标准隐含规定。

需要注意的是，不同载波频段，相关硬件设计可能不同。虽然VS1040是专为电力载波应用优化，但这些固件也支持在其它有线链路上使用，例如双绞线、同轴线、滑触线等。固件的最新版本和发布情况请联系我们确认。

3.4 RISC核

RISC核实现MAC层、应用协议以及通用控制功能。主要包括载波CSMA/CA信道接入机制、自动重传请求（ARQ）功能和网状组网与节点自发现机制等功能。它基于32位CPU，内含看门狗定时器、高性能的程序存储区和数据存储器，并带有密码加速器。

密码加速器支持：
- CRC16/32 加速单元；
- 随机数生成单元 TRNG；
- DES/AES/SHA/SM 算法密码单元；

3.5外设接口

VS1040 通过 UART 和 SPI 和 MGPIO 接口和外部主机接口；其中 MGPIO 为多功能 GPIO 管脚，任一管脚都可以配置为 GPIO、UART 或 CANFD，方便扩展。具体由特定固件决定功能；其中 UART 特性如下：

表 2：UART 特性

电源

项目	管脚	描述

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

UART0	921600bps,8N1	更新/调试 UART
UART1	1200-921600bps,8N1/8E1/8O1	应用 UART
UART2	可配置	EGPIO 扩展应用 UART

注：N 无校验，E 偶校验，O 奇校验；

SPI 从机特性如下：

表 3：SPI 从机特性

符号	参数	条件	最小值	典型值	最大值	单位
fsclk	SPI 时钟频率	主模式			48	MHZ
DuCy(SCK)	SPI 时钟占空比		45	50	55	%
tsu(MI)	输入数据建立时间		3			ns
th(MI)	输入保持时间		3			ns
tsu(MO)	输出数据建立时间				12	ns
th(MO)	输出保持时间				6	ns

4. 电源、时钟和复位

4.1电源

VS1040 的电源系统分为模拟电源、数字电源两部分，均为 3.3V 电源域。模拟电源主要为 AFE 部分和处理器模拟外设供电，数字电源为数字外设供电；如下表：

表 4：电源

项目	管脚	描述
数字电源	PIN1、PIN23、PIN35、PIN48	VDDIO，3.3V
数字电源地	PIN2、PIN46	VSSIO
模拟电源	PIN21	AVDD，3.3V
模拟电源地	PIN19	AVSS
模拟参考	PIN20	可配置输入：典型 2.5V 可配置输出：4.7uF+100nF
电源 PAD	PIN49	接数字电源地

4.2时钟

VS1040 需要一个外部晶体振荡器，推荐使用一个并联型无源晶振，其特性要求如下表。

表 5：晶振特性要求

项目	最小	典型	最大	单位
频率		16		Mhz

Preliminary

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

总频率要求		±25		ppm
等效谐振电阻			150	Ω
静电容		3		pF

注：总频率要求=常温频率+温度漂移+老化+负载偏差+电压偏差+焊接漂移；通常，选择常温频差为±5~±10ppm 范围的晶振是多数设计的稳妥选型起点。

4.3 复位

以下复位触发源可用于复位 MCU：硬件复位、上电复位、电压监控器复位、看门狗定时器复位和软件复位。

表 6：复位类型和触发源

复位类型	触发方式
硬件复位	低电平信号施加到 RESETb 脚
上电复位	个上升的电压到 VDDIO 脚
电压监控器复位	VDDIO 脚一个下降的电压低于监控电压阈值
看门狗定时器复位	定时器溢出复位
软件复位	调用内核软件复位指令

5. 工作模式选项

管脚 PIN3 和 PIN4 为 MODE0 和 MODE1 功能脚，它们的组合决定 VS1040 上电后工作在何种模式。如下表：

表 7：工作模式

MODE1 MODE0	工作模式
0b00	uart 接口模式
0b01	spi 接口模式
0b10	uart0 编程模式
0b11	预留

注：MODE0 和 MODE1 上拉或下拉到 VDDIO/VSSIO；

注：工作模式只在上电期间检测一次，uart0 编程模式也可使用编程指令进入；

preliminary

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

6. 电气特性

6.1绝对最大运行工况

表 8：绝对最大额定参数

符号	参数	条件	额定值	单位
VDDIO	供电电压	VDDIO=AVDD	-0.3~4	V
AVDD	模拟供电电压	VDDIO=AVDD	-0.3~4	V
VI	输入电压 管脚=I/IO		-0.3~4.3	V
VO	输出电压管脚=O/IO		-0.3~4.3	V
VESD(HBM)	静电放电电压（人体模型）		3500	V
VESD(CDM)	静电放电电压（充电设备模型）		1000	V
Topr	操作温度	处理器运行	-40~105	℃
Tj	最大结温		125	℃
Tstg	存储温度		-60~150	℃

6.2推荐工作条件

表 9：推荐工作条件

符号	参数	最小	典型	最大	单位
VDDIO	供电电压	1.8	3.3	3.6	V
VSSIO	供电电压		0		V
AVDD	模拟供电电压	1.8	3.3	3.6	V
AVSS	模拟供电电压		0		V
VIH	输入高电平	0.8*VDDIO 0.8*AVDD		VDDIO AVDD	V
VIL	输入低电平	0 0		0.2*VDDIO 0.2*AVDD	V
IIO	输出电流 输出灌灌电流			±10	mA
IINJ	注入电流			±5	mA
f(XIN)	系统时钟频率		16		Mhz
Vr(VDDIO) Vr(AVDD)	电压纹波			0.1	Vpp

注：推荐使用一个低噪声 LDO 为 VDDIO 供电，VDDIO 并经过一个 pi 滤波器，

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

为 AVDD 供电；

6.3 模拟前端AFE特性

表 10：ADC 转换特性

符号	参数	测量条件	最小	典型	最大	单位
fs	采样速度电压				4	MSPS
-	分辨率	AVDD=VDDIO≥VREF*			12	bit
INL	积分非线性误差				±2	LSB
DNL	微分线性误差				±1	LSB
SNDR	信号噪声失真比			70		dBFS

注：VREF*为 VS1040 内置 AFE 电压参考或经 VCAP 输入电压参考源，下同；

表 11：DAC 转换特性

符号	参数	测量条件	最小	典型	最大	单位
DACOUT	DAC 输出		0.2		VREF-0.2	V
-	分辨率	AVDD=VDDIO≥VREF*			12	bit
INL	积分非线性误差				±2	LSB
DNL	微分线性误差				±1	LSB
SNDR	信号噪声失真比			70		dBFS

注：VREF*为 VS1040 内置 AFE 电压参考或经 VCAP 输入电压参考源；

表 12：PGA/OPA 电气特性

符号	参数	测量条件	最小	典型	最大	单位
VIN	输入电压范围		0		AVDD	V
VOUT	输出电压范围		0.2		VREF-0.2	V
Grange	增益范围		1		64	V/V
SR	压摆率			24		V/us
GBW	单位带宽积			40		Mhz
SNR	信噪比	G=2		74		db
THD	总谐波失真	G=2		-82		db

Preliminary

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

7. 封装尺寸与订货信息

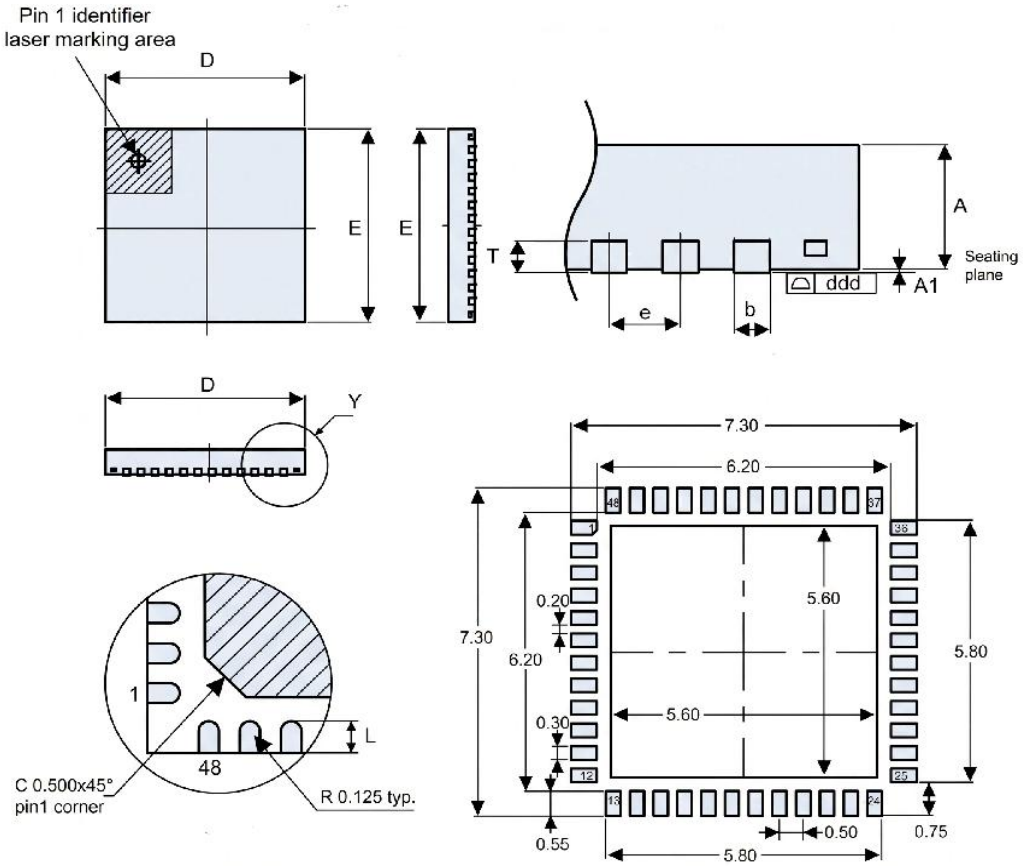


图 3：VS1040 封装信息

上图中的尺寸列表补充如下，

表 13：封装补充尺寸

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.50	0.55	0.60
A1	0.00	0.02	0.05
b	0.20	0.25	0.30
e	-	0.50	-
D	6.90	7.00	7.10
E	6.90	7.00	7.10
L	0.30	0.40	0.50
T	-	0.15	-

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com

表 14：订货信息

VS1040	
VS1040R1ME	UFQFPN-48，-40~105℃，扩展工业级，卷带
VS1040R1MQ	UFQFPN-48，-40~125℃，汽车级，卷带

R1: 硬件版本；
M: UFQFPN-48；
E: -40~105℃；Q: -40~125℃；
注：默认 VS1040 均是指 VS1040R1ME。

8. 联系我们

如需了解有关 VS1040 的更多信息，包括技术数据手册、应用笔记、样品咨询、演示模块、价格与订购事宜，请联系：

维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.

www.vitrasemi.com

support@vitrasemi.com

preliminary

Copyright © 维塔半导体（无锡）有限公司 Vitra Semiconductor Technology (Wuxi)., Ltd.
www.vitrasemi.com